

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259276

(43)Date of publication of application : 24.09.1999

(51)Int.Cl. G06F 7/58
 G06F 17/10
 H03K 3/84
 // H04J 13/00

(21)Application number : 10-059298

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 11.03.1998

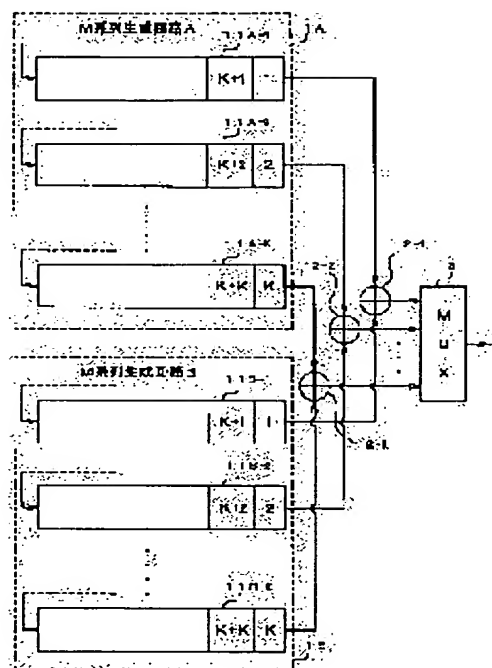
(72)Inventor : HASEGAWA NORIAKI
 TAKADA MASATOSHI

(54) GOLD SYSTEM GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for quickly generating a GOLD system without quickening any clock.

SOLUTION: The exclusive logical sum of M series codes outputted from two M series generating circuits 11(11A-1-11A-K, 11B-1-11B-K) for simultaneously generating plural M series codes is received by an exclusive logical sum circuit 2 (2-1-2-K) so that plural GOLD series codes can be generated in parallel. Then, the parallel GOLD series codes are converted into serial codes by a multiplexer 3, and outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259276

(43) 公開日 平成11年(1999) 9月24日

(51) IntCl.⁶
G 0 6 F 7/58
17/10
H 0 3 K 3/84
// H 0 4 J 13/00

識別記号

F I
G 0 6 F 7/58 Z
H 0 3 K 3/84 Z
G 0 6 F 15/31 Z
H 0 4 J 13/00 A

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平10-59298

(22) 出願日 平成10年(1998) 3月11日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 長谷川 徳明

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 高田 昌敏

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

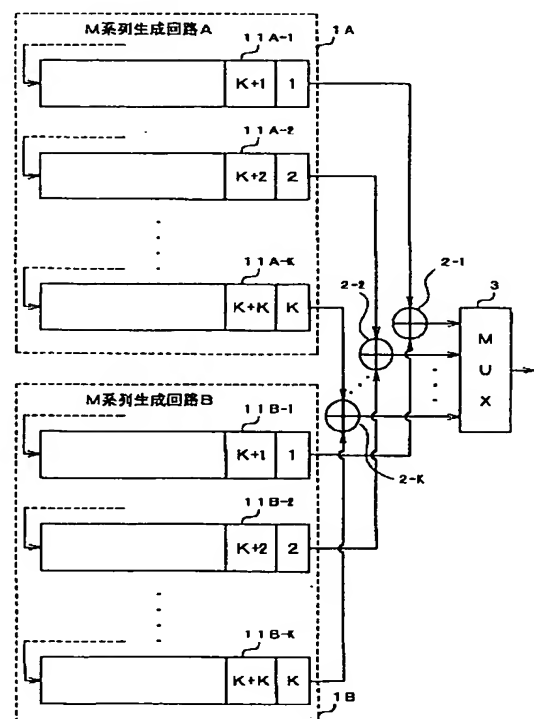
(74) 代理人 弁理士 船津 暢宏 (外 1 名)

(54) 【発明の名称】 GOLD系列発生回路

(57) 【要約】

【課題】 クロックを高速化することなくGOLD系列を高速に発生できるGOLD系列発生回路を提供する。

【解決手段】 同時に複数のM系列符号を発生する2つのM系列発生回路11から出力されるM系列符号の排他的論理和を排他的論理和回路2で取って複数のGOLD系列符号を平行に発生させ、平行な当該GOLD系列符号をMUX3でシリアルに変換して出力するGOLD系列発生回路である。



【特許請求の範囲】

【請求項 1】 同時に複数の M 系列符号を発生する M 系列生成回路を 2 つ組み合わせて、前記 2 つの M 系列生成回路から出力される対応する各々の M 系列符号の排他的論理和を取ってパラレルな G O L D 系列符号を生成し、前記パラレルな G O L D 系列符号をシリアルな G O L D 系列符号に変換することを特徴とする G O L D 系列発生回路。

【請求項 2】 任意の段数からなるシフトレジスタを複数個並列に配置し、前記シフトレジスタを構成する任意のレジスタからの出力の排他的論理和を、前記各シフトレジスタのシフト方向に対する最後段にフィードバックし、前記各シフトレジスタのシフト方向に対する最前段からの前記複数個のレジスタ出力を M 系列符号として同時に複数発生させる M 系列生成回路を 2 つ備え、前記 2 つの M 系列生成回路からパラレルに出力される対応する各々の M 系列符号の排他的論理和を取ってパラレルな G O L D 系列符号を生成する排他的論理和回路と、前記生成されたパラレルな G O L D 系列符号をシリアルな G O L D 系列符号に変換するマルチプレクサとを有することを特徴とする G O L D 系列発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線通信の符号分割多重接続 (Code Division Multiple Access: C D M A) で用いられる G O L D 系列発生回路に係り、特に高速な G O L D 系列を発生させることができる G O L D 系列発生回路に関する。

【0002】

【従来の技術】無線通信におけるスペクトル拡散通信方式では、拡散符号系列を用いて多重化を行う符号分割多重接続 (Code Division Multiple Access: C D M A) 方式が一般的であり、拡散符号系列の生成器として M 系列 (Maximum length code) 生成回路がよく知られている。

【0003】まず、従来の M 系列生成回路について図 7 を使って説明する。図 7 は、従来の M 系列生成回路の構成ブロック図である。従来の M 系列 (= 拡散符号) 生成回路は、図 7 に示すように、「0」又は「1」の状態を記憶する 1 ビットのレジスタを任意の段数だけ並べた 1 本のシフトレジスタ 11 と、規定のレジスタに帰還タップを設け、帰還タップからの出力の排他的論理和 (Exclusive OR: E X O R) を取る排他的論理和回路 12 とから構成され、排他的論理和がシフトレジスタ 11 のシフト方向に対する最後段に接続されてフィードバックされている。そして、シフトレジスタ 11 は、クロックパルスに従って記憶内容を右隣のレジスタに移していき、最も右側のシフト方向に対する最前段のレジスタの値がその時刻における符号系列出力になる。

【0004】ここで、シフトレジスタ 11 からの出力が

M 系列である為には、レジスタの途中から引き出されているタップが特別な組み合わせであることが必要になり、M 系列だけでは多くの利用者向けの符号系列が手当できず、必然的に非 M 系列の中から相互相関特性の良好な組み合わせを取り出して使うことになり、この非 M 系列としてよく知られているのが G O L D 符号系列である。

【0005】次に、従来の G O L D 系列発生回路について図 8 を使って説明する。図 8 は、従来の G O L D 系列発生回路の構成ブロック図である。従来の G O L D 系列発生回路は、クロックパルスに従って M 系列符号を発生する図 7 で説明した M 系列生成回路 1 A'、1 B' と、M 系列生成回路 1 A'、1 B' からの出力の排他的論理和を取る排他的論理和回路 2 とから構成され、G O L D 系列符号を出力するものである。

【0006】伝送レートが比較的低速な場合は、図 8 のような構成をフィールドプログラマブルゲートアレイ (Field Programmable Gate Array: F P G A) などで作成しても十分スピードに余裕を持って作成できるが、F P G A で作成した場合はせいぜい 80 M H z のクロックでの動作が限界である。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の G O L D 系列発生回路では、今後サービス拡大に向けて伝送レートがどんどん高速になっていくと予想される符号分割多重接続 (Code Division Multiple Access: C D M A) 等で用いる場合、F P G A で作成した場合はせいぜい 80 M H z のクロックでの動作が限界であるし、遅延により信頼性も低くなるという問題点があった。

【0008】また、専用チップ化せず実験的にバラックで組んだ場合等は、高速動作は保証されるものの、シフトレジスタの段数が多くなるに連れて、消費電力が非常に大きくなり製品化等を考えると現実的ではなく、少なくとも 80 M H z 以上のクロックで G O L D 系列を出力したい場合、従来の構成では実現が非常に困難であるという問題点があった。

【0009】本発明は上記実情に鑑みて為されたもので、クロックを高速化することなく G O L D 系列を高速に発生できる G O L D 系列発生回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項 1 記載の発明は、G O L D 系列発生回路において、同時に複数の M 系列符号を発生する M 系列生成回路を 2 つ組み合わせて、前記 2 つの M 系列生成回路から出力される対応する各々の M 系列符号の排他的論理和を取ってパラレルな G O L D 系列符号を生成し、前記パラレルな G O L D 系列符号をシリアルな G O L D 系列符号に変換することを特徴としており、同時に複数

のM系列符号を発生し、パラレルなGOLD系列符号をシリアルに変換することによって、高速にGOLD系列符号を発生できる。

【0011】上記従来例の問題点を解決するための請求項2記載の発明は、GOLD系列発生回路において、任意の段数からなるシフトレジスタを複数個並列に配置し、前記シフトレジスタを構成する任意のレジスタからの出力の排他的論理和を、前記各シフトレジスタのシフト方向に対する最後段にフィードバックし、前記各シフトレジスタのシフト方向に対する最前段からの前記複数個のレジスタ出力をM系列符号として同時に複数発生させるM系列生成回路を2つ備え、前記2つのM系列生成回路からパラレルに出力される対応する各々のM系列符号の排他的論理和を取ってパラレルなGOLD系列符号を生成する排他的論理和回路と、前記生成されたパラレルなGOLD系列符号をシリアルなGOLD系列符号に変換するマルチプレクサとを有することを特徴としており、同時に複数のM系列符号を発生し、パラレルなGOLD系列符号をシリアルに変換することによって、高速にGOLD系列符号を発生できる。

【0012】

【発明の実施の形態】請求項に係る発明について、その実施の形態を図面を参照しながら説明する。本発明に係るGOLD系列発生回路は、同時に複数のM系列符号を発生する2つのM系列生成回路から出力されるM系列符号の排他的論理和を取って複数のGOLD系列符号をパラレルに発生させ、パラレルな当該GOLD系列符号をシリアルに変換して出力するものなので、クロックを高速化することなくGOLD系列を高速に発生できるものである。

【0013】まず、本発明に係るGOLD系列発生回路の構成について図1を使って説明する。図1は、本発明に係るGOLD系列発生回路の構成ブロック図である。尚、図8と同様の構成をとる部分については同一の符号を付して説明する。

【0014】本発明のGOLD系列発生回路（本回路）*

$$U(t) = (a_1(t), a_2(t), \dots, a_n(t))^T \quad ({}^T \text{は転置})$$

【0021】また、時刻 $t+1$ における状態ベクトルを $U(t+1)$ は、【数2】のように表せる。

【0022】

【数2】

* は、基本的には、従来のGOLD系列発生回路と同様の部分として、M系列生成回路1A、1Bと、M系列生成回路1A、1Bからの出力の排他的論理和を取る排他的論理和回路2とから構成され、更に本発明の特徴部分として、マルチプレクサ(MUX)3が設けられている。

【0015】ここで、M系列生成回路1AとM系列生成回路1Bは、各々1クロックで複数ビット（図1ではKビット）のM系列符号を出力するM系列生成回路である。

10 【0016】そして、各M系列生成回路の内部は、K個のNまたはN+1段シフトレジスタ11-1~11-Kで構成されていて、各シフトレジスタ11-1~11-Kは、クロックが入力されるたびに、1つ右にシフトし、シフト方向に対して最後段のレジスタにはある規則に基づいて、任意のレジスタ出力どうしの排他的論理和が入力される。また、シフト方向に対して最前段のK個のレジスタからは、同一のクロックタイミングでM系列符号が出力される。

20 【0017】排他的論理和回路2-1~2-Kは、それぞれM系列生成回路1Aのシフトレジスタ11-1~11-KとM系列生成回路1Bのシフトレジスタ11-1~11-Kからの出力の排他的論理和を取り、パラレルなGOLD系列を同一のクロックタイミングで出力するものである。

【0018】MUX3は、パラレル→シリアル変換するもので、排他的論理和回路2-1~2-Kから同一のクロックでパラレルに出力される排他的論理和を入力してシリアルに変換してGOLD系列符号を出力するようになっている。

30 【0019】次に、本発明のGOLD系列発生回路で使用するM系列生成回路について説明する。まず、M系列を状態遷移行列を用いて表すと【数1】のようになる。ここで、 $U(t)$ は、時刻 t におけるシフトレジスタの状態を表す n 次元状態ベクトルとする。

【0020】

【数1】

$$U(t+1) = T U(t)$$

ここで

$$T = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & & & \ddots & \vdots \\ \vdots & & & & 1 \\ f_0 & f_1 & f_2 & \dots & f_{n-1} \end{bmatrix}$$

50 【0023】ここで、 T は遷移行列と呼ばれ、 T^T を計

算し、それに対応する回路を実現する事により、1クロックでKビットずつ進むM系列を発生する事ができる。

【0024】まず、1クロックで1ビットずつ進む9段($X^9 + X^1 + 1$)のM系列を例にすると、遷移行列Tは【数3】で表される。

【0025】

【数3】

$$T = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{pmatrix}$$

【0026】その結果、時刻t+1における各状態ベクトル $a_1 \sim a_9$ は【数4】で表される。

【0027】

【数4】

$$\begin{aligned} a_1(t+1) &= a_2(t), & a_2(t+1) &= a_3(t), \\ a_3(t+1) &= a_4(t), & a_4(t+1) &= a_5(t), \\ a_5(t+1) &= a_6(t), & a_6(t+1) &= a_7(t), \\ a_7(t+1) &= a_8(t), & a_8(t+1) &= a_9(t), \\ a_9(t+1) &= a_1(t) + a_5(t) \end{aligned}$$

$$\begin{aligned} a_1(t+4) &= a_5(t), & a_2(t+4) &= a_6(t), \\ a_3(t+4) &= a_7(t), & a_4(t+4) &= a_8(t), \\ a_5(t+4) &= a_9(t), \\ a_6(t+4) &= a_1(t) + a_5(t), & a_7(t+4) &= a_2(t) + a_6(t), \\ a_8(t+4) &= a_3(t) + a_7(t), & a_9(t+4) &= a_4(t) + a_8(t) \end{aligned}$$

【0033】よってこの遷移行列で実現される第1のM系列生成回路は、図3のような構成になる。図3は、1クロックで4ビット出力する9段のM系列生成回路の構成ブロック図である。つまり、レジスタ1の出力とレジスタ5の出力との排他的論理和をレジスタ6にフィードバックし、レジスタ2の出力とレジスタ6の出力との排他的論理和をレジスタ7にフィードバックし、レジスタ3の出力とレジスタ7の出力との排他的論理和をレジスタ8にフィードバックし、レジスタ4の出力とレジスタ8の出力との排他的論理和をレジスタ9にフィードバックし、レジスタ1, 2, 3, 4からの出力 $a_1(t) \sim a_4(t)$ をパラレルなM系列符号として同一クロックで出力するようになっている。

【0034】このようにして、時刻tからt+3までの4ビット分、すなわち、図2のような直列のM系列生成

*【0028】よってこの遷移行列で実現される符号器は、図2のような構成になる。図2は、9段のM系列生成回路の構成ブロック図である。つまり、レジスタ1の出力とレジスタ5の出力との排他的論理和がシフト方向に対して最後段のレジスタ9に接続されてフィードバックされている。

【0029】同様に、第1の例として1クロックで4ビット進む場合を考えると、 T^4 を計算すればよく、状態遷移行列は【数5】のようになる。

10 【0030】

【数5】

$$T^4 = \begin{pmatrix} 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \end{pmatrix}$$

20

【0031】また、この時の時刻t+1における各状態ベクトル $a_1 \sim a_9$ は【数6】で表される。

【0032】

【数6】

回路4クロック分のM系列を、図3のような回路では1クロックで出力する事ができる。

【0035】ここでは、 T^4 を計算して、一度に4クロック分の出力を発生させたが、例えば T^8 を計算して同様の事を行えば、一度に8クロック分の出力を発生させる事ができる。つまり、 T^4 を計算する事によって、1クロックで直列のM系列生成回路Kクロック分の出力を得られる事になる。

【0036】これを応用して、1クロックで複数ビットを出力できるM系列生成回路を用いて高速のGOLD系列を発生する回路が図1であるが、このままでは分かりにくいので、20段のM系列を例にとって具体的に説明する。まず、符号多項式 $X^{20} + X^3 + 1$ を考える。9段のM系列生成回路の時と同様、遷移行列Tおよび T^4 を求めると、各遷移行列は【数7】、【数8】のようにな

40

50

7

* 【数7】

【0037】

[illegible]

【0038】

[illegible]

★【0040】

★ 【数9】

$$\begin{aligned} a_1(t+4) &= a_5(t), \quad a_2(t+4) = a_6(t), \quad \dots, \\ a_{16}(t+4) &= a_{20}(t), \\ a_{17}(t+4) &= a_1(t) + a_4(t), \quad a_{18}(t+4) = a_2(t) + a_5(t), \\ a_{19}(t+4) &= a_3(t) + a_6(t), \quad a_{20}(t+4) = a_4(t) + a_7(t) \end{aligned}$$

☆イードバックし、レジスタ1, 2, 3, 4からの出力 $a_{m1}(t) \sim a_{m4}(t)$ をパラレルなM系列符号として同一クロックで出力するようになっている。

【0042】同様に、符号多項式 $X^{20} + X^9 + X^5 + X^3 + 1$ を考えると、状態遷移行列 T^1 について、時刻 $t+1$ における各状態ベクトル $a_1 \sim a_m$ は [数10] で表される。

【0043】

40 【数10】

$$\begin{aligned} a_1(t+4) &= a_5(t), \quad a_2(t+4) = a_6(t), \quad \dots, \\ a_{16}(t+4) &= a_{20}(t), \\ a_{17}(t+4) &= a_1(t) + a_4(t) + a_6(t) + a_{10}(t), \\ a_{18}(t+4) &= a_2(t) + a_5(t) + a_7(t) + a_{11}(t), \\ a_{19}(t+4) &= a_3(t) + a_8(t) + a_9(t) + a_{12}(t), \\ a_{20}(t+4) &= a_4(t) + a_7(t) + a_9(t) + a_{13}(t) \end{aligned}$$

【0044】 によってこの遷移行列で実現される第3のM 50 系列生成回路は、図5のような構成になる。図5は、1

クロックで4ビット出力する20段の別のM系列生成回路の構成ブロック図である。つまり、レジスタ2, 5, 7, 11の出力の排他的論理和をレジスタ18にフィードバックし、レジスタ3, 6, 8, 12の出力の排他的論理和をレジスタ19にフィードバックし、レジスタ4, 7, 9, 13の出力の排他的論理和をレジスタ20にフィードバックし、レジスタ1, 4, 6, 10の出力の排他的論理和をレジスタ17にフィードバックし、レジスタ1, 2, 3, 4からの出力 $a_n(t) \sim a_{n+1}(t)$ をパラレルなM系列符号として同一クロックで出力するようになっている。

【0045】上記説明した各種M系列生成回路を用いてGOLD系列を発生させるには、1クロックで同一ビット数を出力する2つのM系列生成回路を組み合わせ、図1に示したGOLD系列発生回路を構成し、排他的論理*

従来の GOLD系列 発生回路	a_1	a_2
本発明の GOLD系列 発生回路	a_1	a_{K+1}	
	a_2	a_{K+2}
	.	.	
	.	.	
	a_K	a_{K+K}	
時 刻	t	t+1

【0049】つまり、時刻tにおいて従来は1つのGOLD系列符号 a_1 が出力されるのに対して、本発明の高速なGOLD系列発生回路は、同時にK個のGOLD系列符号 $a_1 \sim a_K$ が出力され、それをシリアル変換して出力するので、従来の回路よりK倍高速にGOLD系列※

従来の GOLD系列 発生回路	a_1	a_2
本発明の GOLD系列 発生回路	a_1	a_5	
	a_2	a_6
	a_3	a_7	
	a_4	a_8	
時 刻	t	t+1

【0052】つまり、時刻tにおいて従来は1つのGOLD系列符号 a_1 が出力されるのに対して、本発明の高速なGOLD系列発生回路は、同時に4個のGOLD系列符号 $a_1 \sim a_4$ が出力され、それをシリアル変換して出力するので、従来の回路より4倍高速にGOLD系列を発生させられる事が確認できる。

【0053】本発明の実施の形態のGOLD系列発生回路によれば、1クロックで複数ビットの出力が得られる

* 和回路2-1~2-Kで同じレジスタ番号の出力どうしの排他的論理和を取り、その結果パラレルに出力されるGOLD系列をMUX3でシリアルに変換し、高速なGOLD系列符号を発生する事ができる。

【0046】具体例として、図4で説明したM系列生成回路と図5で説明したM系列生成回路とを組み合わせ、GOLD系列発生回路を構成した例を図6に示す。図6は、20段のGOLD系列発生回路の構成ブロック図である。尚、図6では、MUX3が省略されている。

【0047】ここで、図6に示した本発明の高速なGOLD系列発生回路と、図8に示した従来のGOLD系列発生回路との出力を比較すると、[表1]のようになる。

【0048】

【表1】

※を発生させられる事が確認できる。

【0050】また、 $K=4$ を例にとると、従来と本発明との比較は、[表2]のようになる。

【0051】

【表2】

M系列生成回路11を組み合わせ、排他的論理和回路2-1~2-Kで同じレジスタ番号の出力どうしの排他的論理和を取り、その結果パラレルに出力されるGOLD系列をMUX3でシリアルに変換して出力するので、同一のクロックで高速なGOLD系列符号を発生できる効果がある。

【0054】また、本発明のGOLD系列発生回路を用いると、従来の回路で必要とするクロックの $1/K$ 倍の

クロックで従来回路と同様の出力を得る事ができる。具体的には、従来回路で80MHzで動作していたものがK=4とすると、20MHzのクロックで同様の出力を得る事ができるようになり、回路の負担を軽くする事ができるとともに、低消費電力化も期待できる効果がある。

【0055】さらに、従来技術の所で、FPGAの場合せいぜい80MHzでの動作が限界であると記載したが、本発明の回路を用いると、かなり低いクロック周波数で限界同様の出力を相当の余裕を持って出力でき、逆の視点からいうと従来と同様のクロックで数倍高速なGOLD系列符号を発生できるので、本発明のGOLD系列発生回路は今後、非常に高速な系列を出力しなければならない場合に、有効であると考えられる。

【0056】

【発明の効果】請求項1記載の発明によれば、M系列生成回路から同時に複数のM系列符号を発生し、2つのM系列生成回路から出力される対応する各々のM系列符号の排他的論理和を取って生成されるパラレルなGOLD系列符号をシリアルなGOLD系列符号に変換するGOLD系列発生回路としているので、クロックを高速化することなく高速にGOLD系列符号を発生できる効果がある。

【0057】請求項2記載の発明によれば、M系列生成回路が、任意の段数からなるシフトレジスタを複数個並列に配置し、シフトレジスタを構成する任意のレジスタからの出力の排他的論理和を、各シフトレジスタのシフト方向に対する最後段にフィードバックし、各シフトレジスタのシフト方向に対する最前段からの複数個のレジ*

*スタ出力をM系列符号として出力するものであり、M系列生成回路から同時に複数のM系列符号を発生し、排他的論理和回路で各々のM系列符号の排他的論理和を取ってパラレルなGOLD系列符号を生成し、マルチプレクサでパラレルなGOLD系列符号をシリアルなGOLD系列符号に変換するGOLD系列発生回路としているので、クロックを高速化することなく高速にGOLD系列符号を発生できる効果がある。

【図面の簡単な説明】

10 【図1】本発明に係るGOLD系列発生回路の構成ブロック図である。

【図2】9段のM系列生成回路の構成ブロック図である。

【図3】1クロックで4ビット出力する9段のM系列生成回路の構成ブロック図である。

【図4】1クロックで4ビット出力する20段のM系列生成回路の構成ブロック図である。

【図5】1クロックで4ビット出力する20段の別のM系列生成回路の構成ブロック図である。

20 【図6】20段のGOLD系列発生回路の構成ブロック図である。

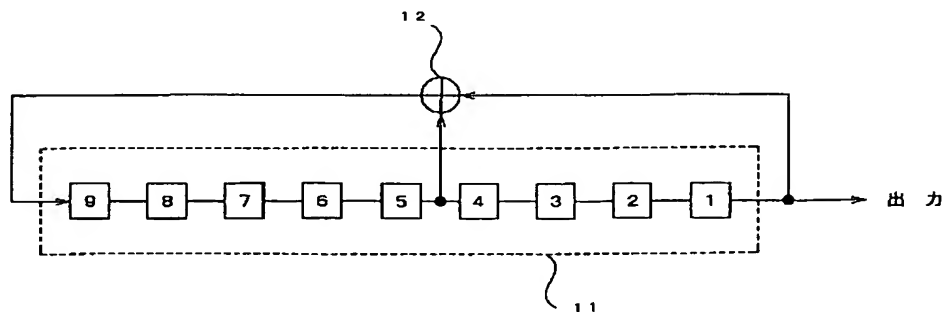
【図7】従来のM系列生成回路の構成ブロック図である。

【図8】従来のGOLD系列発生回路の構成ブロック図である。

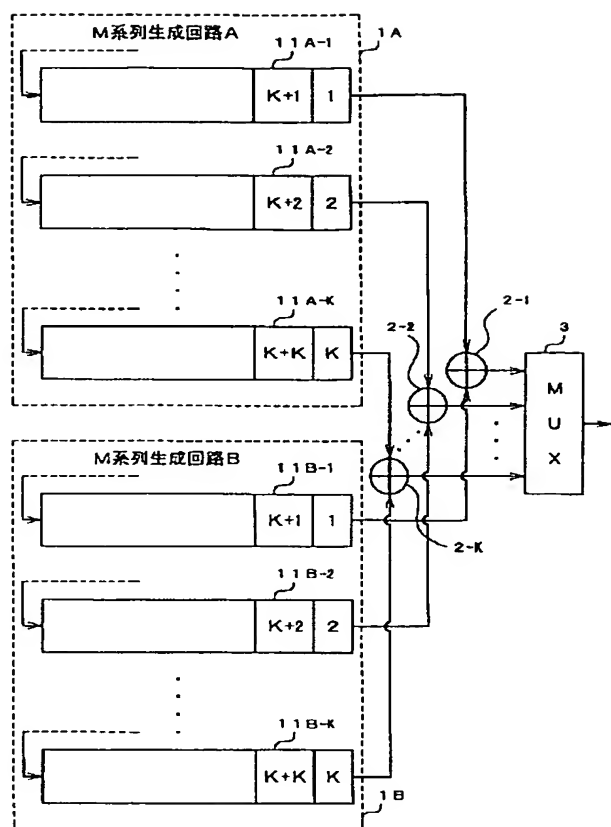
【符号の説明】

1A, 1B, 1A', 1B' ...M系列生成回路、 2...排他的論理和回路、 3...MUX、 11, 11A, 11B...シフトレジスタ、 12...排他的論理和回路

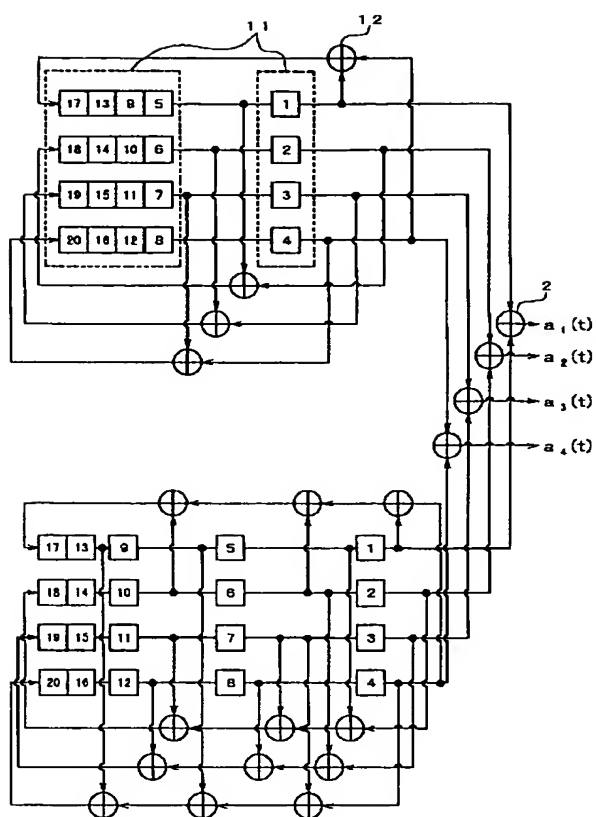
【図2】



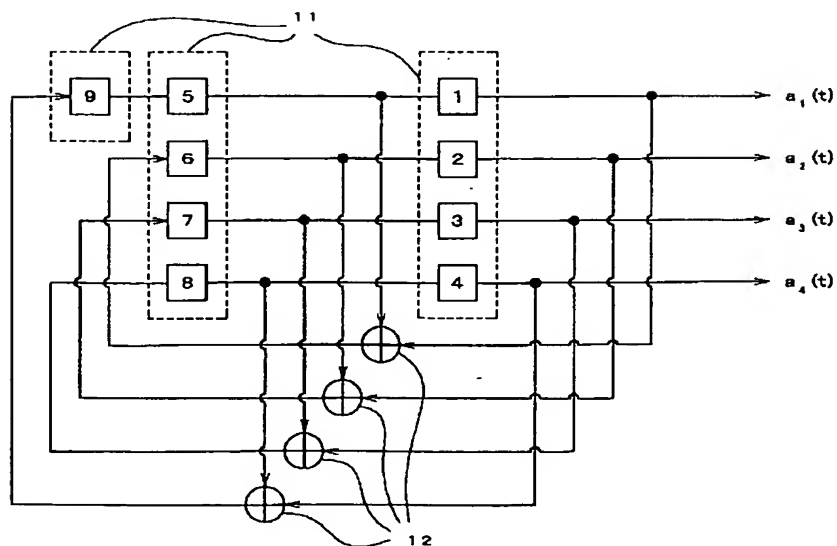
【図 1】



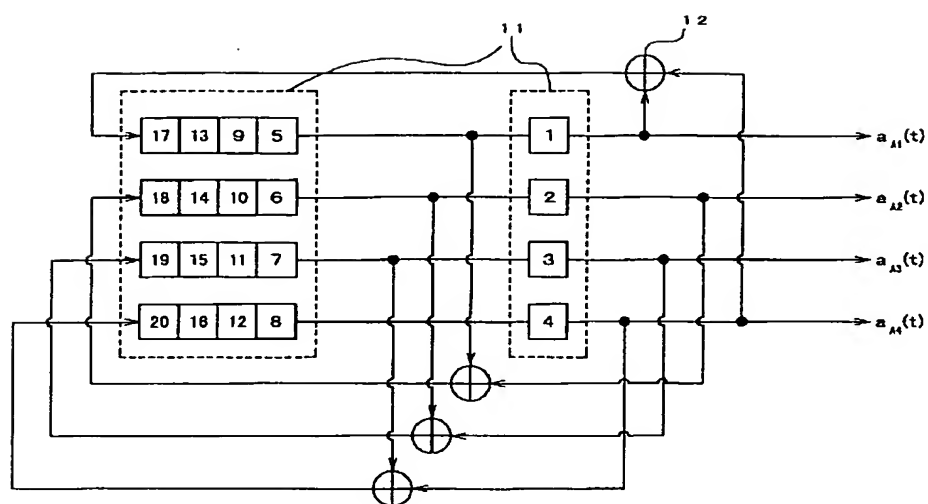
【図 6】



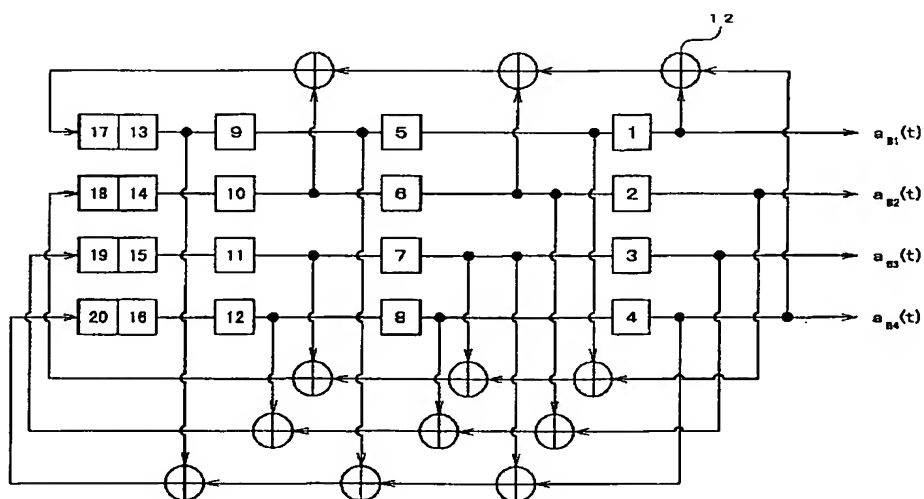
【図 3】



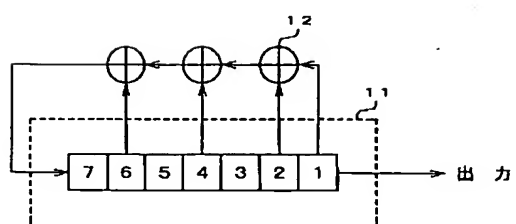
【図 4】



【図 5】



【図 7】



【図 8】

